

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-023397

(43)Date of publication of application : 24.01.1995

(51)Int.Cl. H04N 7/32
G06T 1/20
G06T 9/00
H04N 7/15
H04N 11/04

(21)Application number : 05-336262

(71)Applicant : SONY CORP

(22)Date of filing : 28.12.1993

(72)Inventor : KOYANAGI HIDEKI
SUMIHIRO HIROSHI
EMOTO HARUICHI
WADA TORU

(30)Priority

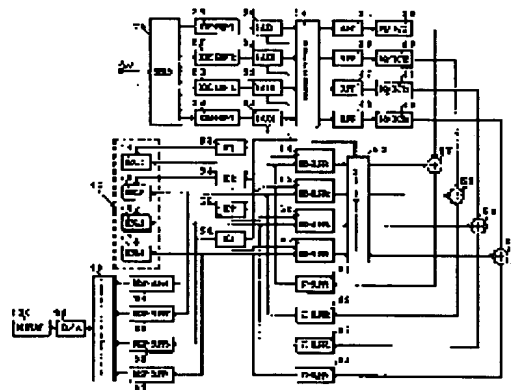
Priority number : 05 45112 Priority date : 05.03.1993 Priority country : JP

(54) DEVICE AND METHOD FOR DECODING PICTURE SIGNAL

(57)Abstract:

PURPOSE: To attain parallel operation processing without applying restriction such as the encoding of a motion vector by distributing an encoded picture signal to plural decoding means based upon a synchronizing signal added at every slice and decoding the signal respectively.

CONSTITUTION: An input bit stream is distributed to code buffers 26 to 29 in the unit of slice and decoded by variable length decoders (IVLCs) 30 to 33. The number of macro blocks per slice is fixed and expected time for synchronizing respective IVLC processing is eliminated to efficiently execute decoding. Decoded data are transferred to a buffer memory group 35 to 38, the parallel processing at every slice is converted into the parallel processing in the unit of 1/2 MB and IQ/IDCT processing blocks 39 to 42 execute processing as in a four-parallel state. Then a picture corresponding to the motion vector in the unit of MB is extracted from a reproduced picture by a frame memory 43, the decoded picture is reproduced along with pictures obtained from the blocks 39 to 42 and the reproduced pictures are stored in the memory 43 again through ST-BUFFs 61 to 64 in four parallel state.



LEGAL STATUS

[Date of request for examination] 04.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-23397

(43) 公開日 平成7年(1995)1月24日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 7/32

G 0 6 T 1/20

9/00

H 0 4 N 7/137

Z

8420-5L

G 0 6 F 15/66

K

審査請求 未請求 請求項の数14 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願平5-336262

(22) 出願日 平成5年(1993)12月28日

(31) 優先権主張番号 特願平5-45112

(32) 優先日 平5(1993)3月5日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小柳 秀樹

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 住広 博

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 江本 晴一

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 弁理士 小池 晃 (外2名)

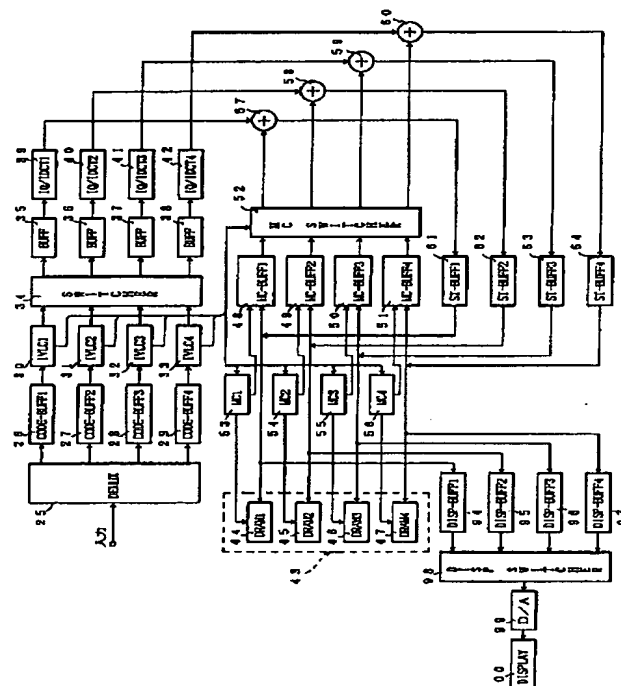
最終頁に続く

(54) 【発明の名称】 画像信号復号化装置及び画像信号復号化方法

(57) 【要約】

【目的】 複数の画像符号データ復号手段を並列動作させて処理を行う画像信号復号化装置を提供する。

【構成】 デマルチプレクサ25により外部入力画像符号データを複数の可変長復号器30～33に分配供給し、上記各可変長復号器30～33にを並列動作させて復号処理を行う。



【特許請求の範囲】

【請求項1】 符号化された符号化画像信号を復号化する画像信号復号化装置において、
上記符号化画像信号をスライス毎に付加された同期信号に基づいて複数の分配する分配手段と、
上記分配手段により分配された複数の符号化画像信号を各々復号化する複数の復号化手段とを備えることを特徴とする画像信号復号化装置。

【請求項2】 変換符号化された符号化画像信号を復号化する画像信号復号化装置において、
上記符号化画像信号をシリアルに復号化する復号化手段と、
上記復号化手段により復号化されたシリアルデータを複数のブロック毎にパラレルデータに変換する並列化手段と、
上記複数のブロックのそれぞれに並列に逆変換を行う複数の逆変換手段とを備えることを特徴とする画像信号復号化装置。

【請求項3】 上記符号化画像信号を所定の画像単位毎に付加された同期信号に基づいて複数の分配する分配手段を備え、
上記分配手段により分配された複数の符号化画像信号を複数の復号化手段に分配供給することを特徴とする請求項2記載の画像信号復号化装置。

【請求項4】 予測符号化された符号化画像信号を復号化する画像信号復号化装置において、
1つの動きベクトルに基づいて予測符号化された複数の差分ブロック信号を並列に出力する出力手段と、
上記1つの動きベクトルに基づいて、上記複数の差分ブロック信号に対応する複数の予測画像信号を並列に生成する生成手段と、
上記複数の差分ブロック信号と上記複数の予測画像信号を各々加算する複数の加算手段とを備えることを特徴とする画像信号復号化装置。

【請求項5】 上記生成手段は、
上記1つの動きベクトルに基づいて並列にアクセスされる複数のメモリと、
上記1つの動きベクトルに基づいて、上記複数のメモリから読み出されたデータを対応する上記複数の加算手段に振り分ける振り分け手段と、
上記複数のメモリから読み出されたデータを一時的に記憶するための、上記1つの動きベクトルに基づいて読み出しが制御される複数の記憶手段を備えてなることを特徴とする請求項4記載の画像信号復号化装置。

【請求項6】 上記予測符号化された符号化画像信号は変換符号化された画像信号であって、
上記出力手段は、
上記符号化画像信号をシリアルに復号化する復号化手段と、
上記復号化手段により復号化されたシリアルデータを複

数のブロック毎にパラレルデータに変換する並列化手段と、
上記複数のブロックのそれぞれに並列に逆変換を行う複数の逆変換手段とを備えてなることを特徴とする請求項4記載の画像信号復号化装置。

【請求項7】 上記符号化画像信号を所定の画像単位毎に付加された同期信号に基づいて複数の分配する分配手段を備え、
上記分配手段により分配された複数の符号化画像信号を複数の復号化手段に分配供給することを特徴とする請求項6記載の画像信号復号化装置。

【請求項8】 符号化された符号化画像信号を復号化する画像信号復号化方法であって、
上記符号化画像信号をスライス毎に付加された同期信号に基づいて複数の分配するステップと、
分配された複数の符号化画像信号を各々復号化するステップとを有することを特徴とする画像信号復号化方法。
【請求項9】 変換符号化された符号化画像信号を復号化する画像信号復号化方法であって、
上記符号化画像信号をシリアルに復号化するステップと、
復号化されたシリアルデータを複数のブロック毎にパラレルデータに変換するステップと、
上記複数のブロックのそれぞれに並列に逆変換を行うステップとを有することを特徴とする画像信号復号化方法。

【請求項10】 上記符号化画像信号をシリアルに復号化するステップは、上記符号化画像信号を所定の画像単位毎に付加された同期信号に基づいて複数の分配するステップと、
分配された複数の符号化画像信号を各々シリアルに復号化するステップを有することを特徴とする請求項9記載の画像信号復号化方法。

【請求項11】 予測符号化された符号化画像信号を復号化する画像信号復号化方法であって、
1つの動きベクトルに基づいて予測符号化された複数の差分ブロック信号を並列に出力するステップと、
上記1つの動きベクトルに基づいて、上記複数の差分ブロック信号に対応する複数の予測画像信号を並列に生成するステップと、
上記複数の差分ブロック信号と上記複数の予測画像信号を各々加算するステップを有することを特徴とする画像信号復号化方法。

【請求項12】 上記複数の予測画像信号を並列に生成するステップは、
上記1つの動きベクトルに基づいて複数のメモリを並列にアクセスするステップと、
上記1つの動きベクトルに基づいて、上記複数のメモリから読み出されたデータを複数の振り分けるステップと、

上記複数のメモリから読み出されたデータを一時的に記憶するステップと、

一時的に記憶されたデータを上記1つの動きベクトルに基づいて読み出すステップを有することを特徴とする請求項1記載の画像信号復号化方法。

【請求項13】 上記予測符号化された符号化画像信号は変換符号化された画像信号であって、

上記複数の差分ブロック信号を並列に出力するステップは、

上記符号化画像信号をシリアルに復号化するステップと、

復号化されたシリアルデータを複数のブロック毎にパラレルデータに変換するステップと、

上記複数のブロックのそれぞれに並列に逆変換を行うステップを有することを特徴とする請求項1記載の画像信号復号化方法。

【請求項14】 上記符号化画像信号をシリアルに復号化するステップは、

上記符号化画像信号を所定の画像単位毎に付加された同期信号に基づいて複数のブロックに分配するステップと、

分配された複数の符号化画像信号を各々シリアルに復号化するステップを有することを特徴とする請求項13記載の画像信号復号化方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、光ディスクや磁気テープなどの蓄積系動画メディアを用いた情報記録装置および情報再生装置や例えば、いわゆるテレビ会議システム、動画電話システム、放送用機器などにおける情報伝送装置／受信装置に適用して好適な画像復号化装置及び画像復号化方法に関する。

【0002】

【従来の技術】 動画をデジタル化して記録再生する場合、データ量が膨大となるのでデータの圧縮が行われる。このような動画を圧縮する方法として、所謂MP EGがあり、DCT及び動き補償予測を用いた符号化・復号化が行われる。図14は、このようにして動画を圧縮した符号を再生する場合の構成例を示している。

【0003】 入力端子101から入力された動画圧縮符号列は、逆VLC回路102、逆量子化回路103、逆DCT回路104を経てブロック単位の画像情報に復元され、加算器105を経て、フレームメモリ107に順次格納されフレーム画像が再現される。また、逆VLC回路102では、動き補償予測のための動き補償情報も復号され、これは動き補償回路106に供給される。動き補償回路106は、動き補償情報に従ってフレームメモリ107から同メモリ内に過去に再現されている画像情報から予測画像情報を読み出しまたは全くゼロの値を加算器105へ供給する。フレームメモリ107内に再現されたフレーム画像は順次読み出されD/Aコンバ

ータ108を経てディスプレイ109に表示されるようになっていた。

【0004】 ところが、扱う画素数がテレビ電話の352×240、NTSC方式の720×480、HDTV方式の1920×1024などと増えるに従って、単一の処理の流れを一個のプロセッサで行なうような構成は処理能力上、困難となっていた。このため従来は、図16に示すように大きな画面を分割し、複数のプロセッサを分割画面毎に割り当て、並列処理により符号化・復号化することが行なわれていた。図15は、このようにして動画を圧縮して記録再生する場合の構成例を示している。

【0005】 4つに分割された画面領域ごとに、あらかじめ符号化された4つの符号列が各入力端子110～113を介してプロセッサ114～117に供給され、それぞれに対応したフレームメモリ119～122を用いて復号される。このとき、たとえばプロセッサ114はフレームメモリ119に対して復号した画像を書き込むが、動き補償についてはフレームメモリ119からだけでなく、隣接するフレームメモリ120からも読み出しを行なえるようにスイッチング論理回路18が置かれていた。またスイッチング論理回路118は、出力画像をD/Aコンバータ123へ出力して、ディスプレイ124に表示していた。

【0006】 プロセッサ114～117に供給される4つの符号列は、実際には1つにまとめられることになるが、これは多重化のためのヘッダーを付加することで実現され、従ってデコーダ部分の前にはこれを分離して4つの符号列にもどすための、分離装置が置かれていた。このように画面分割を行って並列化を実現した例としては、特開平4-139986号公報や米国特許5,138,447号公報などに開示されたものがある。

【0007】

【発明が解決しようとする課題】 従来の装置においては、このように画面領域を大きく分割することで、各プロセッサの処理の分割を行ない並列化を実現していたが、このように画面分割をしてしまうと、隣の画面領域からの読み出しがスイッチング論理回路118によってある程度可能ではあるものの、スイッチング論理回路118の規模の問題もあり動き補償のために読み出しのできる領域に制限を受けることになり、画像を圧縮するうえで圧縮率が低下してしまうばかりか、領域の境界部分の画質が変化するため領域の境界が視覚的に不自然になるという問題があった。

【0008】 また、画面分割により符号化処理は領域ごとに全く分離して行なうことになり、分割を行わない場合には、連続領域として隣接ブロックとの相関を使って符号化していたのが利用できず、異なる符号化のやり方が必要となり、互換性と圧縮効率の面で問題があった。

【0009】さらに、複数の符号化列を多重化するために新たなヘッダーを付加することになると、そのためのオーバーヘッドで圧縮効率を損なったり、また新たな符号化規約の制定を必要とするなどの問題があった。

【0010】そこで、上述の如き従来の問題点に鑑み、本発明の目的は、従来のエンコード方法をそのまま使いながら、複数の画像符号データ復号手段を並列動作させて処理を行なうことができる画像信号復号化装置及び画像信号復号化方法の提供を提供することにある。

【0011】

【発明を解決するための手段】本発明は、符号化された符号化画像信号を復号化する画像信号復号化装置において、上記符号化画像信号をスライス毎に付加された同期信号に基づいて複数の分配する分配手段と、上記分配手段により分配された複数の符号化画像信号を各々復号化する複数の復号化手段とを備えることを特徴とするものである。

【0012】また、本発明は、変換符号化された符号化画像信号を復号化する画像信号復号化装置において、上記符号化画像信号をシリアルに復号化する復号化手段と、上記復号化手段により復号化されたシリアルデータを複数のブロック毎にパラレルデータに変換する並列化手段と、上記複数のブロックのそれぞれに並列に逆変換を行う複数の逆変換手段とを備えることを特徴とするものである。本発明に係る画像信号復号化装置は、上記符号化画像信号を所定の画像単位毎に付加された同期信号に基づいて複数の分配する分配手段を備え、上記分配手段により分配された複数の符号化画像信号を複数の復号化手段に分配供給することを特徴とする。

【0013】また、本発明は、予測符号化された符号化画像信号を復号化する画像信号復号化装置において、1つの動きベクトルに基づいて予測符号化された複数の差分ブロック信号を並列に出力する出力手段と、上記1つの動きベクトルに基づいて、上記複数の差分ブロック信号に対応する複数の予測画像信号を並列に生成する生成手段と、上記複数の差分ブロック信号と上記複数の予測画像信号を各々加算する複数の加算手段とを備えることを特徴とするものである。本発明に係る画像信号復号化装置において、上記生成手段は、上記1つの動きベクトルに基づいて並列にアクセスされる複数のメモリと、上記1つの動きベクトルに基づいて、上記複数のメモリから読み出されたデータを対応する上記複数の加算手段に振り分ける振り分け手段と、上記複数のメモリから読み出されたデータを一時的に記憶するための、上記1つの動きベクトルに基づいて読み出しが制御される複数の記憶手段を備えてなることを特徴とする。また、本発明に係る画像信号復号化装置において、上記予測符号化された符号化画像信号は変換符号化された画像信号であって、上記出力手段は、上記符号化画像信号をシリアルに復号化する復号化手段と、上記復号化手段により復号化

されたシリアルデータを複数のブロック毎にパラレルデータに変換する並列化手段と、上記複数のブロックのそれぞれに並列に逆変換を行う複数の逆変換手段とを備えてなることを特徴とする。さらに、本発明に係る画像信号復号化装置は、上記符号化画像信号を所定の画像単位毎に付加された同期信号に基づいて複数の分配する分配手段を備え、上記分配手段により分配された複数の符号化画像信号を複数の復号化手段に分配供給することを特徴とする。

【0014】また、本発明は、符号化された符号化画像信号を復号化する画像信号復号化方法であって、上記符号化画像信号をスライス毎に付加された同期信号に基づいて複数の分配するステップと、分配された複数の符号化画像信号を各々復号化するステップとを有することを特徴とする。

【0015】また、本発明は、変換符号化された符号化画像信号を復号化する画像信号復号化方法であって、上記符号化画像信号をシリアルに復号化するステップと、復号化されたシリアルデータを複数のブロック毎にパラレルデータに変換するステップと、上記複数のブロックのそれぞれに並列に逆変換を行うステップとを有することを特徴とする。本発明に係る画像信号復号化方法において、上記符号化画像信号をシリアルに復号化するステップは、上記符号化画像信号を所定の画像単位毎に付加された同期信号に基づいて複数の分配するステップと、分配された複数の符号化画像信号を各々シリアルに復号化するステップを有することを特徴とする。

【0016】また、本発明は、予測符号化された符号化画像信号を復号化する画像信号復号化方法であって、1つの動きベクトルに基づいて予測符号化された複数の差分ブロック信号を並列に出力するステップと、上記1つの動きベクトルに基づいて、上記複数の差分ブロック信号に対応する複数の予測画像信号を並列に生成するステップと、上記複数の差分ブロック信号と上記複数の予測画像信号を各々加算するステップを有することを特徴とする。本発明に係る画像信号復号化方法において、上記複数の予測画像信号を並列に生成するステップは、上記1つの動きベクトルに基づいて複数のメモリを並列にアクセスするステップと、上記1つの動きベクトルに基づいて、上記複数のメモリから読み出されたデータを複数の振り分けるステップと、上記複数のメモリから読み出されたデータを一時的に記憶するステップと、一時的に記憶されたデータを上記1つの動きベクトルに基づいて読み出すステップを有することを特徴とする。また、本発明に係る画像信号復号化方法において、上記予測符号化された符号化画像信号は変換符号化された画像信号であって、上記複数の差分ブロック信号を並列に出力するステップは、上記符号化画像信号をシリアルに復号化するステップと、復号化されたシリアルデータを複数のブロック毎にパラレルデータに変換するステップと、上記

複数のブロックのそれぞれに並列に逆変換を行うステップを有することを特徴とする。さらに、本発明に係る画像信号復号化方法において、上記符号化画像信号をシリアルに復号化するステップは、上記符号化画像信号を所定の画像単位毎に付加された同期信号に基づいて複数の分配するステップと、分配された複数の符号化画像信号を各々シリアルに復号化するステップを有することを特徴とする。

【0017】

【作用】本発明に係る画像信号復号化装置では、符号化画像信号をスライス毎に付加された同期信号に基づいて分配手段により複数の復号化手段に分配して、各復号化手段により複数の符号化画像信号を各々復号化する。

【0018】また、本発明に係る画像信号復号化装置では、符号化画像信号を復号化手段によりシリアルに復号化し、そのシリアルデータを並列化手段により複数のブロック毎にパラレルデータに変換し、複数の逆変換手段により上記複数のブロックのそれぞれに並列に逆変換を行う。この画像信号復号化装置では、上記符号化画像信号を所定の画像単位毎に付加された同期信号に基づいて分配手段により複数の複数の復号化手段に分配して、各復号化手段により複数の符号化画像信号を各々復号化する。

【0019】また、本発明に係る画像信号復号化装置では、1つの動きベクトルに基づいて予測符号化された複数の差分ブロック信号を出力手段より並列に出力し、上記1つの動きベクトルに基づいて、上記複数の差分ブロック信号に対応する複数の予測画像信号を生成手段により並列に生成し、上記複数の差分ブロック信号と上記複数の予測画像信号を複数の加算手段により各々加算する。この画像信号復号化装置において、上記生成手段は、上記1つの動きベクトルに基づいて並列にアクセスされる複数のメモリから読み出されたデータを振り分け手段により対応する上記複数の加算手段に振り分ける。上記複数のメモリから読み出されたデータを一時的に記憶するための上記複数の記憶手段は、上記1つの動きベクトルに基づいて読み出しが制御される。また、この画像信号復号化装置において、上記出力手段は、上記符号化画像信号を復号化手段によりシリアルに復号化し、そのシリアルデータを並列化手段により複数のブロック毎にパラレルデータに変換する。そして、複数の逆変換手段により上記複数のブロックのそれぞれに並列に逆変換を行う。さらに、この画像信号復号化装置では、上記符号化画像信号を所定の画像単位毎に付加された同期信号に基づいて分配手段により複数の複数の復号化手段に分配して、各復号化手段により複数の符号化画像信号を各々復号化する。

【0020】また、本発明に係る画像信号復号化方法では、符号化画像信号をスライス毎に付加された同期信号に基づいて複数の分配して、分配された複数の符号化画

像信号を各々復号化する。

【0021】また、本発明に係る画像信号復号化方法では、符号化画像信号をシリアルに復号化し、復号化されたシリアルデータを複数のブロック毎にパラレルデータに変換し、上記複数のブロックのそれぞれに並列に逆変換を行う。この画像信号復号化方法において、上記符号化画像信号をシリアルに復号化するステップでは、上記符号化画像信号を所定の画像単位毎に付加された同期信号に基づいて複数の分配し、分配された複数の符号化画像信号を各々シリアルに復号化する。

【0022】また、本発明に係る画像信号復号化方法では、1つの動きベクトルに基づいて予測符号化された複数の差分ブロック信号を並列に出力し、上記1つの動きベクトルに基づいて、上記複数の差分ブロック信号に対応する複数の予測画像信号を並列に生成し上記複数の差分ブロック信号と上記複数の予測画像信号を各々加算する。この画像信号復号化方法において、上記複数の予測画像信号を並列に生成するステップでは、上記1つの動きベクトルに基づいて複数のメモリを並列にアクセスし、上記1つの動きベクトルに基づいて、上記複数のメモリから読み出されたデータを複数の振り分け、上記複数のメモリから読み出されたデータを一時的に記憶し、この一時的に記憶されたデータを上記1つの動きベクトルに基づいて読み出す。また、この画像信号復号化方法では、上記予測符号化された符号化画像信号は変換符号化された画像信号であって、上記複数の差分ブロック信号を並列に出力し、上記符号化画像信号をシリアルに復号化し、復号化されたシリアルデータを複数のブロック毎にパラレルデータに変換し、上記複数のブロックのそれぞれに並列に逆変換を行う。さらに、この画像信号復号化方法において、上記符号化画像信号をシリアルに復号化するステップでは、上記符号化画像信号を所定の画像単位毎に付加された同期信号に基づいて複数の分配し、分配された複数の符号化画像信号を各々シリアルに復号化する。

【0023】

【実施例】以下、本発明の実施例について、図面を参照して詳細に説明する。図1は、本発明を適用したMPEG方式の高精細動画画像信号復号化装置の全体構成を示すブロック図である。

【0024】入力されたビットストリームは、デマルチプレクサ(DEMUX)25によってスライス(SLICE)単位にコードバッファ(CODE-BUFF1~CODE-BUFF4)26~29に振り分けられる。図2は入力されたビットストリームをスライス(SLICE)単位に振り分ける際の画像イメージの一例を示したものである。このとき、ビットストリーム内のスライスヘッダはあらかじめバイトアライン構造になっているため、ビットストリーム内のスライスヘッダをバイト毎にサーチすることで容易に振り分けることができる。

【0025】尚、各マクロブロックの動きベクトル、各ブロックのDC係数等は、符号化効率をあげるため、基本的に同じスライス内の隣接マクロブロックの動きベクトル、隣接ブロックのDC係数との差分のみが符号化されている。

【0026】このようにして、コードバッファ (CODE-BUFF1) 26にはスライス1、スライス5、スライス9、・・・が格納されておりこれを可変長復号器 (IVLC1) 30で復号する。同様に、コードバッファ (CODE-BUFF2) 27にはスライス2、スライス6、スライス10、・・・が、コードバッファ (CODE-BUFF3) 28にはスライス3、スライス7、スライス11、・・・が、コードバッファ (CODE-BUFF4) 29にはスライス4、スライス8、スライス12、・・・が格納されておりこれを各々可変長復号器 (IVLC2, IVLC3, IVLC4) 31, 32, 33で復号する。

【0027】このとき、1スライス当たりのマクロブロック (MB) 数を固定にすることによって各IVLC処理の同期を取ることによるIVLCの待機時間をなくし、効率的に復号を行なうことができる。IVLC処理の詳細については後述する。

【0028】可変長復号器で復号されたデータはスイッチャ34によって後段のバッファメモリ群35～38に転送される。図3はバッファメモリ群35～38に転送されるデータとここから出力されるデータを示したもので、ここでは、これまでスライス毎に行なっていた並列処理を1/2MB単位 (4ブロック) の並列処理に変換する。例えば、4:2:2フォーマットの場合、1つのマクロブロック中の輝度4ブロックが並列処理され、色差4ブロックが並列処理される。各可変長復号器 (IVLC1～IVLC4) 30～33はスライス1からスライス4のブロック1を同時に出力していたが、これを4ブロック分バッファメモリ群 (35～38) に格納する。このバッファメモリ群35～38からスライス1のブロック1からブロック4を同時に読みだすことによって後段の処理を1/2MB単位の並列処理で行なうことができる。また、ここではジグザグスキャンの逆変換もかねて行なうことができる。ここで、1処理系当たりのバッファメモリの構成は4ブロック×2バンクである。

【0029】逆量子化 (IQ) およびディスクリートコサイン逆変換 (IDCT) の処理ブロック (IQ/IDCT1～IQ/IDCT4) 39～42では、ブロック単位で処理が行なわれるため、このまま4並列で処理を行なう。

【0030】つぎに、動き補償 (MC) の処理でも4並列で処理を行なう。フレームメモリ43に再生されている画像より、MB単位に動きベクトルに応じた画像を抽出し、IQ/IDCT処理ブロック (IQ/IDCT1～IQ/IDCT4) 39～42より出力される画像データと共に復号画像が再生される。ここで、動き補償の処理は1/2MB (4ブロック) 毎に処理されるため動き補償処理ブロック (MC1) 53から動き補償処理ブロック (MC4) 56に与

えられるベクトルは常に一致している。それによってMCバッファメモリ (MC-BUFF1～MC-BUFF4) 48～51に転送されたデータをMCスイッチャ52でデータバスを切り替えることで各動き補償処理ブロック (MC1～MC4) 53～56のRAMアクセスが重なることなく、MC探索範囲を制限することなくMC処理が実現できる。MC処理の詳細については後述する。

【0031】ここで再生された復号画像は上記同様4並列でストア用バッファメモリ (ST-BUFF1～ST-BUFF4) 61～64を介して再びフレームメモリ43に格納される。

【0032】また、フレームメモリ43上に再生された画像はディスプレイ用バッファメモリ (DISP-BUFF1～DISP-BUFF4) 94～97を介し表示するタイミングにしたがってディスプレイスイッチャ98を切り替えD/Aコンバータ99に出力しディスプレイ100に表示される。

【0033】ここで、図4は、この画像信号復号化装置における可変長復号器周辺の具体的な構成例を示すブロック図である。

【0034】この図4において、65はビットストリームが入力される入力端子、66はビットストリームをスライス (SLICE) 単位に切り分けるデマルチプレクサ (DEMUX)、67～70はスライス (SLICE) 単位のビットストリームを格納するコードバッファメモリ (CODE-BUFF1～CODE-BUFF4)、71～74は可変長コードであるビットストリームをデコードする可変長復号器 (IVLC)、75～78はデコードしたデータを出力する出力端子である。

【0035】以下、それぞれの動作を図5のタイミング図を用いて説明する。

【0036】端子65より入力された入力ビットストリームは、デマルチプレクサ (DEMUX) 66においてスライス (SLICE) 単位に切り分けられる。ビットストリームには、複数のマクロブロック (これをスライス (SLICE) と呼ぶ) 毎に同期信号 (Slice-Start-Code) が入っているので、これを検出してビットストリームをスライス (SLICE) 単位に切り分ける。

【0037】図5に示すように、切り分けられたスライス (SLICE) 毎のビットストリームは、コードバッファメモリ (CODE-BUFF1) 67、コードバッファメモリ (CODE-BUFF2) 68、コードバッファメモリ (CODE-BUFF3) 69、コードバッファメモリ (CODE-BUFF4) 70に分けて書き込まれる。すなわち、コードバッファメモリ (CODE-BUFF1) 67にはスライス1、スライス5、スライス9・・・が、コードバッファメモリ (CODE-BUFF2) 68にはスライス2、スライス6、スライス10・・・がコードバッファメモリ (CODE-BUFF3) 69にはスライス3、スライス7、スライス11・・・が、コードバッファメモリ (CODE-BUFF4) 70にはスライス4、スライス8、スライス12・・・がそれぞれ書き込まれる。

【0038】また、並列に用意された4つの可変長復号器(IVLC)71, 72, 73, 74は、スライス4のビットストリームが書き込まれると、それぞれコードバッファメモリ(CODE-BUFF1 ~ CODE-BUFF4)67, 68, 69, 70の内容を読み出し、同時にデコードを開始する。

【0039】各可変長復号器(IVLC)71, 72, 73, 74は同じ時間内で1マクロブロックのデコード処理を完了する。可変長復号器(IVLC)71のデコード結果は端子75へ、可変長復号器(IVLC)72のデコード結果は端子76へ、可変長復号器(IVLC)73のデコード結果は端子77へ、可変長復号器(IVLC)74のデコード結果は端子78へそれぞれ出力され、スイッチ34に入力される。また、デコードされた動きベクトルデータは、MCスイッチ52及び動き補償処理ブロック(MC1, MC2, MC3, MC4)53, 54, 55, 56へ入力される。

【0040】なお、図5において、可変長復号器(IVLC)71出力の1-1はスライス1の中の1番目のブロックを示す。同様に、可変長復号器(IVLC)74出力の4-1はスライス4の中の1番目のブロックを示す。

【0041】次に、図6は、この画像信号復号化装置における可変長復号器(IVLC)周辺の具体的な他の構成例を示すブロックである。

【0042】この図6において、65はビットストリームが入力される入力端子、79はビットストリームをスライス(SLICE)単位に切り分けるデマルチプレクサ(DEMUX)、80はスライス(SLICE)毎に領域分けしてビットストリームを格納するコードバッファメモリ(Code-Buffer)、90~93は後段の可変長復号器(IVLC)用のSlice単位のビットストリームを格納するバッファメモリ(Buffer)、71~74は可変長コードであるビットストリームをデコードする可変長復号器(IVLC)、75~78はデコードしたデータを出力する出力端子である。

【0043】以下、それぞれの動作を図7のタイミング図を用いて説明する。

【0044】端子65より入力された入力ビットストリームは、デマルチプレクサ(DEMUX)79においてSlice単位に切り分けられる。ビットストリームには、複数のマクロブロック(これをスライス(SLICE)と呼ぶ)毎に同期信号(Slice-Start-Code)が入っているので、これを検出してビットストリームをスライス(SLICE)単位に切り分ける。

【0045】図7に示すように、切り分けられたスライス毎のビットストリームは、内部を4つに領域分けしたコードバッファメモリ(Code-Buffer)80の領域1、領域2、領域3、領域4に分けて書き込まれる。すなわち、領域1にはスライス1、スライス5、スライス9...が、領域2にはスライス2、スライス6、スライス10...が、領域3にはスライス3、スライス7、スライス11...が、領域4にはスライス4、ス

ライス8、スライス12...がそれぞれ書き込まれる。

【0046】スライス4のビットストリームが書き込まれると、コードバッファメモリ(Code-Buffer)80から順次4つの領域が読み出される。このとき、領域1の内容(スライス1、スライス5、スライス9...)はバッファメモリ(Buffer)90に、領域2の内容(スライス2、スライス6、スライス10...)はバッファメモリ(Buffer)91に、領域3の内容(スライス3、スライス7、スライス11...)はバッファメモリ(Buffer)92に、領域4の内容(スライス4、スライス8、スライス12...)はバッファメモリ(Buffer)93に書き込まれる。

【0047】並列に用意された4つの可変長復号器(IVLC)71, 72, 73, 74は、バッファメモリ(Buffer)93に領域4の内容が書き込まれると、それぞれバッファメモリ(Buffer)90、バッファメモリ(Buffer)91、バッファメモリ(Buffer)92、バッファメモリ(Buffer)93の内容を読みだし、同時にデコードを開始する。

【0048】各可変長復号器(IVLC)71, 72, 73, 74は同じ時間内で1マクロブロックのデコード処理を完了する。可変長復号器(IVLC)71のデコード結果は端子75へ、可変長復号器(IVLC)72のデコード結果は端子76へ、可変長復号器(IVLC)73のデコード結果は端子77へ、可変長復号器(IVLC)74のデコード結果は端子78へそれぞれ出力され、上記スイッチ34に入力される。また、デコードされた動きベクトルデータは、MCスイッチ52及び動き補償処理ブロック(MC1, MC2, MC3, MC4)53, 54, 55, 56へ入力される。

【0049】なお、図7において、可変長復号器(IVLC)71出力の1-1はスライス1の中の1番目のブロックを示す。同様に、可変長復号器(IVLC)74出力の4-1はスライス4の中の1番目のブロックを示す。

【0050】また、ビットストリームの中に、データフォーマット(画像フォーマット)としてスライスより上位のレイヤに、スライス以下のデコードを行なう際に使用するパラメータが入っている場合は、図4においては、コードバッファメモリ(Code-Buffer)67, 68, 69, 70に上位レイヤのビットストリームを同時に書き込み、可変長復号器(IVLC)71, 72, 73, 74でパラレルで使用方法、もしくは、4つのうちの1つのコードバッファメモリ(Code-Buffer)に上位レイヤのビットストリームを書き込み、4つのうちの1つの可変長復号器(IVLC)がこれをデコードし、他の可変長復号器(IVLC)にパラメータをセットする方式、もしくは、別プロセッサが上位レイヤのビットストリームをデコードして、4つの可変長復号器(IVLC)にパラメータをセットする方法などがとれる。

【0051】また、図6においては、コードバッファメモリ(Code-Buffer)80の4つのうちの1つの領域に上

位レイヤのビットストリームを書き込み、この領域を読み出すときにバッファメモリ 90, 91, 92, 93に同時に書き込み、可変長復号器 (IVLC) 71, 72, 73, 74でパラレルに使用する方法、もしくは、コードバッファメモリ (Code-Buffer) 80の4つの領域のうち1つの領域に上位レイヤのビットストリームを書き込み、同じように4つのバッファメモリ 90~93のうちの1つにこれを書き込み、4つのうちの1つの可変長復号器 (IVLC) がこれをデコードし、他の可変長復号器 (IVLC) にパラメータをセットする方法、もしくは、別プロセッサが上位レイヤのビットストリームをデコードして、4つの可変長復号器 (IVLC) にパラメータをセットする方法、もしくは、デマルチプレクサ (DEMUX) 79が、コードバッファメモリ (Code-Buffer) 80の4つの領域に対して上位レイヤのビットストリームを繰り返し書き込み、この領域を読み出すときにバッファメモリ 90, 91, 92, 93に同時に書き込み、可変長復号器 (IVLC) 71, 72, 73, 74でパラレルに使用する方法などがとれる。

【0052】次に、動き補償の具体的な処理動作について説明する。

【0053】図8は、予測参照画像のイメージに対する各DRAM (フレームメモリ) への振り分けを描いたもので各DRAMへの振り分けは市松模様となる構造である。

【0054】現フレーム処理MB 81に対し動きベクトル 82が与えられ予測参照フレームのマクロブロック (MB) 83の位置が図8のAのようにDRAM 4の領域から開始するようになっていたとする。動き補償処理でブロックMC 1, MC 2, MC 3, MC 4は、動きベクトル 82に応じて各々DRAM 1, 2, 3, 4の読出しアドレスを設定する。これにより、予測参照フレームのMB 83内のDRAM 1の領域は図8のBの構成でMCバッファメモリ (MC-BUFF1) に転送される、同様にDRAM 2の領域はMCバッファメモリ (MC-BUFF2) に、DRAM 3の領域はMCバッファメモリ (MC-BUFF3) に、DRAM 4の領域はMCバッファメモリ (MC-BUFF4) に、各々転送される。これで予測フレームのMB 83を転送し終えたが、MCバッファメモリ (MC-BUFF) とMC処理された予測画像が、供給されるべき加算器との位置関係がずれているため、MCバッファメモリ (図8のB) と加算器

(図1の57, 58, 59, 60) 間にスイッチ 52を設けることによってどのMCバッファメモリ (MC-BUFF) のデータをどの加算器に供給するかを選択する。また、動き補償処理ブロックMC 1, MC 2, MC 3, MC 4は、スイッチ 52と協同して、動きベクトル 82に応じて各々MC-BUFF 1, MC-BUFF 2, MC-BUFF 3, MC-BUFF 4の読出しアドレスを制御し、加算器 57, 58, 59, 60に供給されるデータが図8のCになるようにする。

【0055】図9はMCバッファメモリ (MC-BUFF) と加算器間のスイッチ 52の切り替えタイミングである。図8のAのような動きベクトルが与えられた場合、スイッチ 52は、時刻 t_1 において、まずMCバッファメモリ (MC-BUFF4) が加算器 59をアクセスするようにスイッチングを行う。同様に、スイッチ 52は、MCバッファメモリ (MC-BUFF3) が加算器 58を、MCバッファメモリ (MC-BUFF2) が加算器 59を、MCバッファメモリ (MC-BUFF1) が加算器 60をアクセスする様スイッチを設定する。次に、1ラインアクセス時の途中時刻 t_2 においてMCバッファメモリ (MC-BUFF3) が加算器 57をアクセスする様スイッチを切り替える。同様に、MCバッファメモリ (MC-BUFF4) が加算器 58を、MCバッファメモリ (MC-BUFF1) が加算器 59を、MCバッファメモリ (MC-BUFF2) が加算器 60をアクセスする様スイッチを切り替える。時刻 t_3 において、スイッチ 52は、1ラインのアクセスを終了するとスイッチを初期状態 (t_1 開始状態) に戻し以降この動作を繰り返す。次に時刻 t_4 の n ラインを終了した時点で今度はMCバッファメモリ (MC-BUFF2) が加算器 57をアクセスする様スイッチを切り替える。同様に、MCバッファメモリ (MC-BUFF1) が加算器 58を、MCバッファメモリ (MC-BUFF4) が加算器 59を、MCバッファメモリ (MC-BUFF3) が加算器 60をアクセスする様スイッチを切り替え、 $n+1$ ラインを開始する。 $n+1$ ラインの途中、時刻 t_5 において、スイッチ 52は、再びMCバッファメモリ (MC-BUFF1) が加算器 57をアクセスする様スイッチを切り替える。同様に、MCバッファメモリ (MC-BUFF2) が加算器 58を、MCバッファメモリ (MC-BUFF3) が加算器 59を、MCバッファメモリ (MC-BUFF4) が加算器 60をアクセスする様スイッチを切り替え、時刻 t_6 において $n+1$ ラインのアクセスを終了すると再びスイッチを時刻 t_4 の状態に戻し、以降この動作を時刻 t_7 の8ライン終了時まで繰り返す。

【0056】これで、1MBのMC処理を終了し、次のMBの処理に入る。このようにして、メモリアクセスの領域が切り替わると同時にMCバッファメモリ (図8のB) と加算器 57, 58, 59, 60間のスイッチ (図1の52) を切り替えることによってメモリアクセスが重なることなく動き補償処理を実現することができる。

【0057】この動き補償処理においては図1に示すようにMCバッファメモリ (MC-BUFF4~MC-BUFF4) 48~51と加算器 57~60間にスイッチ 52を設けることによってどのMCバッファメモリ (MC-BUFF4~MC-BUFF4) 48~51のデータをどの加算器に供給するかを選択したが、図10のようにフレームメモリ 43を構成している各DRAM 44~47とMCバッファメモリ (MC-BUFF1~MC-BUFF4) 48~51間にスイッチ 52を設けることによってこの手法を実現することができる。

【0058】図11のAは、予測参照画像のイメージに対する各DRAM（フレームメモリ）への振り分けを描いたもので各DRAMへの振り分けは市松模様となる構造である。

【0059】上述の動き補償処理の場合と同様の動きベクトル85が与えられ、現フレーム処理MB84に対し、予測参照フレームのMB86の位置が図11のAのようにDRAM4の領域から開始するようになっていたとする。動き補償処理ブロックMC1～MC4は動きベクトル85に応じて、各々DRAM1～4の読出しアドレスを設定する。これにより、予測参照フレームのMB86内の加算器57へ供給されるべき領域は図11のBのようにMCバッファメモリ(MC-BUFF1)にDRAM4、DRAM3、DRAM2、DRAM1の順に転送される。同様に加算器58へ供給されるべき領域はMCバッファメモリ(MC-BUFF2)にDRAM3、DRAM4、DRAM1、DRAM2の順に、加算器59へ供給されるべき領域はMCバッファメモリ(MC-BUFF3)にDRAM2、DRAM1、DRAM4、DRAM3の順に、加算器60へ供給されるべき領域はMCバッファメモリ(MC-BUFF4)にDRAM1、DRAM2、DRAM3、DRAM4の順に、各々転送される。このように、各DRAMとMCバッファメモリ間のスイッチャを切り替えることによってメモリアクセスが重なることなく各MCバッファメモリ(MC-BUFF1～MC-BUFF4)にデータを転送することができる。

【0060】これによって、すでに加算器57へ供給されるべきデータはMCバッファメモリ(MC-BUFF1)に、加算器58へ供給されるべきデータはMCバッファメモリ(MC-BUFF2)に、加算器59へ供給されるべきデータはMCバッファメモリ(MC-BUFF3)に、加算器60へ供給されるべきデータはMCバッファメモリ(MC-BUFF4)に、各々格納されているので、よってメモリアクセスが重なることなく動き補償処理(図11のC)を実現することができる。

【0061】このような動き補償処理において、図10に示すようにフレームメモリ43を構成している各DRAM44～47とMCバッファメモリ(MC-BUFF1～MC-BUFF4)48～51間にスイッチャ52を設けることによってこの手法を実現したが、この場合、各DRAM44～47（フレームメモリ）へのデータの振り分けを次のようにしてもこの手法を実現することができる。

【0062】図12のAは、予測参照画像のイメージに対する各DRAM44～47（フレームメモリ）への振り分けを描いたもので、各DRAM44～47へはライン毎に振り分けられる構造である。現フレーム処理MB87に対し動きベクトル88が与えられ予測参照フレームのMB89の位置が図のようにRAM4の領域から開始するようになっていたとする。動き補償処理ブロックMC1、MC2、MC3、MC4は、各々DRAM1、

2、3、4の読出しアドレスを設定する。

【0063】予測参照フレームのMB89内の加算器57へ供給されるべき領域(図12のB)は、図13に示されるタイミングにしたがってMCバッファメモリ(MC-BUFF1)にDRAM4、DRAM1、DRAM2、DRAM3・・・の順に転送される。

【0064】この際、加算器58へ供給されるべき領域を先頭から転送しようとするMCバッファメモリ(MC-BUFF1)のアクセスと重なってしまうため、加算器57へ供給されるべき領域とは1ラインずれたところから転送を開始する。つまり、加算器58へ供給されるべき領域は、MCバッファメモリ(MC-BUFF2)にDRAM3、DRAM4、DRAM1、DRAM2・・・の順に、加算器59へ供給されるべき領域も同様、MCバッファメモリ(MC-BUFF3)に加算器57へ供給されるべき領域とは2ラインずれたところから、DRAM2、DRAM3、DRAM4、DRAM1・・・の順に、加算器60へ供給されるべき領域も同様、MCバッファメモリ(MC-BUFF4)に加算器57に供給されるべき領域とは3ラインずれたところから、MCバッファメモリ(MC-BUFF4)にDRAM1、DRAM2、DRAM3、DRAM4・・・の順に、各々転送される。この様に、図15に示す各DRAM44～47とMCバッファメモリ(MC-BUFF1～MC-BUFF4)48～51間のスイッチャ52をTIME SLOT毎に切り替えることによってメモリアクセスが重なることなく各MCバッファメモリ(MC-BUFF1～MC-BUFF4)48～51にデータを転送することができる。

【0065】これによって、すでに、加算器57へ供給されるべきデータはMCバッファメモリ(MC-BUFF1)に、加算器58へ供給されるべきデータはMCバッファメモリ(MC-BUFF2)に、加算器59へ供給されるべきデータはMCバッファメモリ(MC-BUFF3)に、加算器60へ供給されるべきデータはMCバッファメモリ(MC-BUFF4)に、各々格納されているので、よってメモリアクセスが重なることなく動き補償処理を実現することができる。

【0066】尚、以上の実施例においてはデコーダの例について説明したが、本発明はエンコーダのローカルデコーダにおいても適用できる。

【0067】

【発明の効果】本発明に係る画像信号復号化装置では、符号化画像信号をスライス毎に付加された同期信号に基づいて分配手段により複数の復号化手段に分配して、各復号化手段により複数の符号化画像信号を各々復号化するので、同期符号内で差分を取るような符号化方法に制限を加えることがなくなる。従って、同期符号の間の区間で行なわれている前ブロックとの差分をとるようなブロック間にまたがった符号化方法、例えば、動きベクトルの符号化、各ブロックのDC係数の符号化等に制限を加えることなく従来のエンコード方法をそのまま使いながら、複数の画像符号データ復号手段を並列動作させて

処理を行なうことができる。

【0068】また、本発明に係る画像信号復号化装置では、符号化画像信号を復号化手段によりシリアルに復号化し、そのシリアルデータを並列化手段により複数のブロック毎にパラレルデータに変換し、複数の逆変換手段により上記複数のブロックのそれぞれに並列に逆変換を行うので、変換符号化された符号化画像信号を従来のエンコード方法をそのまま使って高速に再生することが可能になる。

【0069】さらに、本発明に係る画像信号復号化装置では、1つの動きベクトルに基づいて予測符号化された複数の差分ブロック信号を出力手段より並列に出力し、上記1つの動きベクトルに基づいて、上記複数の差分ブロック信号に対応する複数の予測画像信号を生成手段により並列に生成し、上記複数の差分ブロック信号と上記複数の予測画像信号を複数の加算手段により各々加算することにより、予測符号化された符号化画像信号を迅速に復号化することがきる。

【0070】また、本発明に係る画像信号復号化方法では、符号化画像信号をスライス毎に付加された同期信号に基づいて複数の分配して、分配された複数の符号化画像信号を各々復号化することにより、従来のエンコード方法をそのまま使った画像符号データを高速に再生することが可能になる。

【0071】また、本発明に係る画像信号復号化方法では、符号化画像信号をシリアルに復号化し、復号化されたシリアルデータを複数のブロック毎にパラレルデータに変換し、上記複数のブロックのそれぞれに並列に逆変換を行うので、変換符号化された符号化画像信号を、従来のエンコード方法をそのまま使って並列処理により高速に再生することが可能になる。

【0072】さらに、本発明に係る画像信号復号化方法では、1つの動きベクトルに基づいて予測符号化された複数の差分ブロック信号を並列に出力し、上記1つの動きベクトルに基づいて、上記複数の差分ブロック信号に対応する複数の予測画像信号を並列に生成し上記複数の差分ブロック信号と上記複数の予測画像信号を各々加算することにより、予測符号化された符号化画像信号を迅速に復号化することがきる。

【図面の簡単な説明】

【図1】本発明に係る画像信号復号化装置の構成を示すブロック図である。

【図2】本発明に係る画像信号復号化装置で取り扱う画像データの構造を説明するための図である。

【図3】本発明に係る画像信号復号化装置におけるバッファメモリの動作を説明するためのタイミング図である。

【図4】本発明に係る画像信号復号化装置における可変長復号器周辺の具体的な構成例を示すブロック図である。

【図5】図4に示した具体的な構成例の動作を説明するためのタイミング図である。

【図6】本発明に係る画像信号復号化装置における可変長復号器周辺の他の具体的な構成例を示すブロック図である。

【図7】図6に示した具体的な構成例の動作を説明するためのタイミング図である。

【図8】本発明に係る画像信号復号化装置における動き補償の具体的な動作例を説明するための図である。

【図9】本発明に係る画像信号復号化装置における動き補償の具体的な動作例を説明するためのタイミング図である。

【図10】本発明に係る画像信号復号化装置の他の構成例を示すブロック図である。

【図11】本発明に係る画像信号復号化装置における動き補償の他の具体的な動作例を説明するための図である。

【図12】本発明に係る画像信号復号化装置における動き補償の他の具体的な動作例を説明するための図である。

【図13】本発明に係る画像信号復号化装置における動き補償の他の具体的な動作例を説明するためのタイミング図である。

【図14】従来の画像信号復号化装置の構成を示すブロック図である。

【図15】従来の画像信号復号化並列処理装置の構成を示すブロック図である。

【図16】従来の画像信号復号化並列処理方法を説明するための図である。

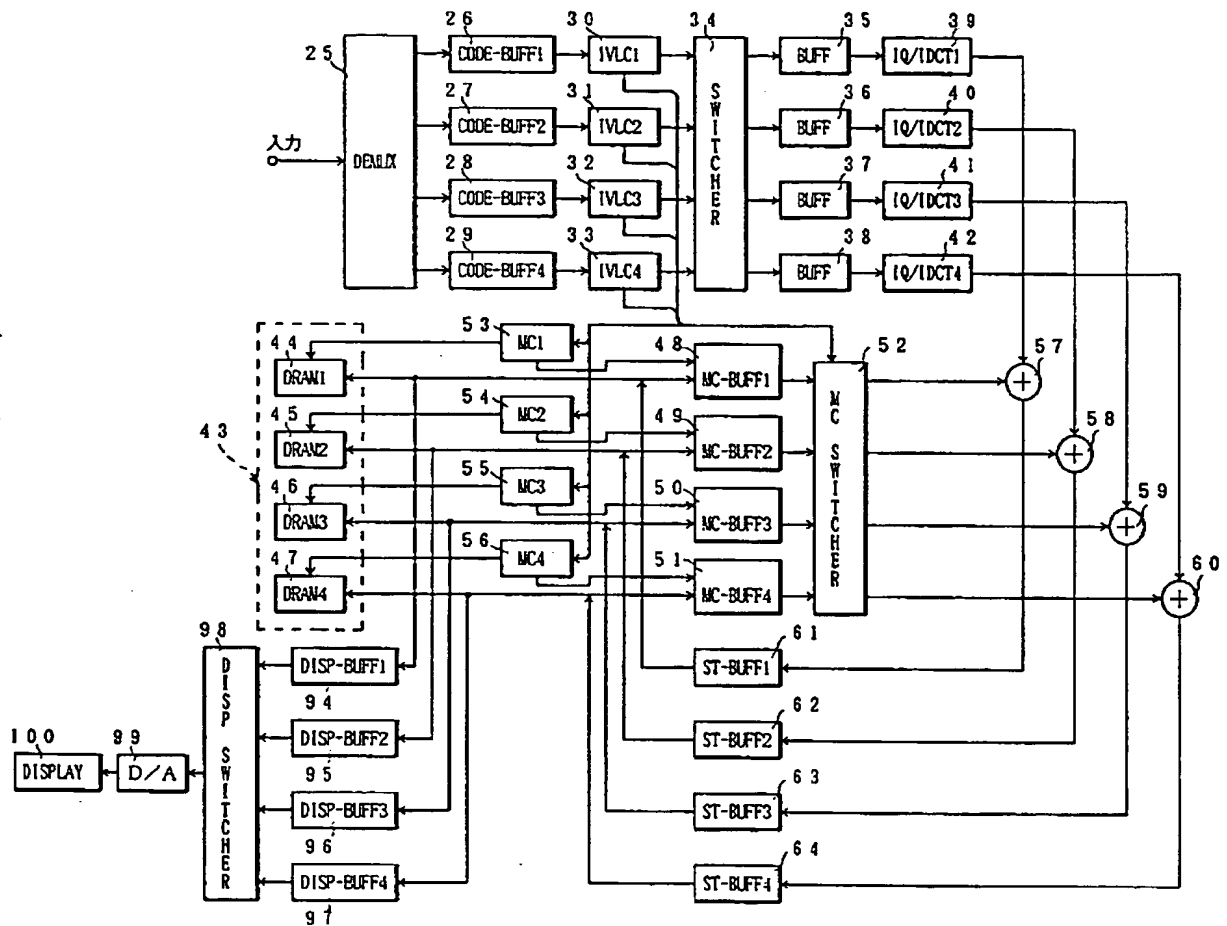
【符号の説明】

- 25・・・デマルチプレクサ (DEMUX)
- 26～29・・・コードバッファメモリ (CODE-BUFF1 ～ CODE-BUFF4)
- 30～33・・・可変長復号器 (IVLC1～IVLC4)
- 34, 52・・・スイッチャ
- 35～38・・・バッファメモリ
- 39～42・・・I Q/I D C T処理ブロック (IQ/IDCT 1～IQ/IDCT4)
- 43・・・フレームメモリ
- 44～47・・・DRAM1～DRAM4
- 48～51・・・MCバッファメモリ (MC-BUFF1 ～MC-BUFF4)
- 53～56・・・動き補償処理ブロック (MC1～MC4)
- 57～60・・・加算器
- 61～64・・・ストア用バッファメモリ (ST-BUFF1 ～ ST-BUFF4)
- 65・・・ビットストリーム入力端子
- 66・・・デマルチプレクサ (DEMUX)
- 67～70・・・コードバッファメモリ (CODE-BUFF1 ～ CODE-BUFF4)

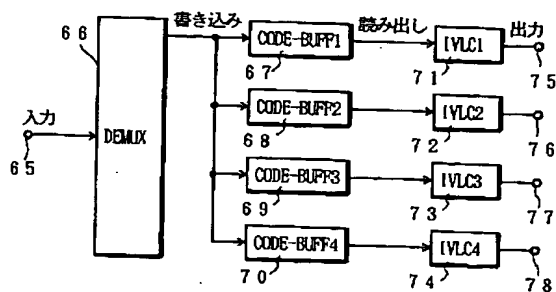
71~74・・・可変長復号器 (IVLC1~IVLC4)
 75~79・・・出力端子
 79・・・デマルチプレクサ (DEMUX)
 80・・・コードバッファメモリ (Code-Buffer)
 90~93・・・バッファメモリ

94~97・・・ディスプレイ用バッファメモリ (DISP-BUFF1 ~DISP-BUFF4)
 98・・・ディスプレイスイチャ
 99・・・D/Aコンバータ
 100・・・ディスプレイ

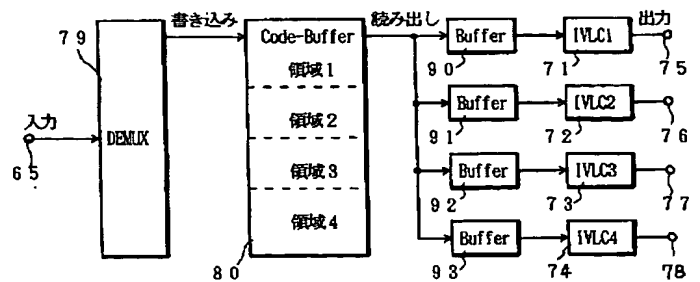
【図1】



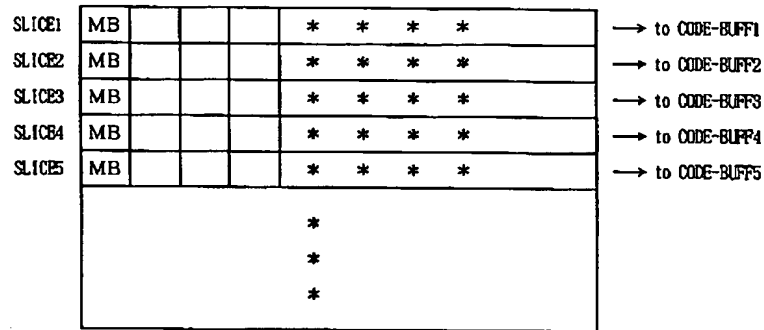
【図4】



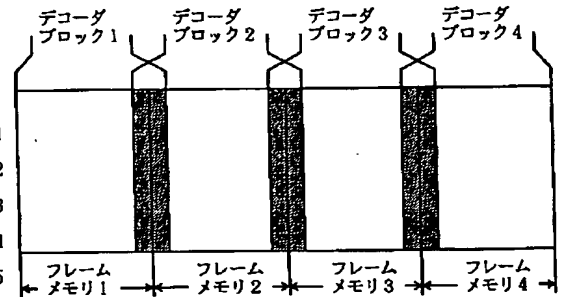
【図6】



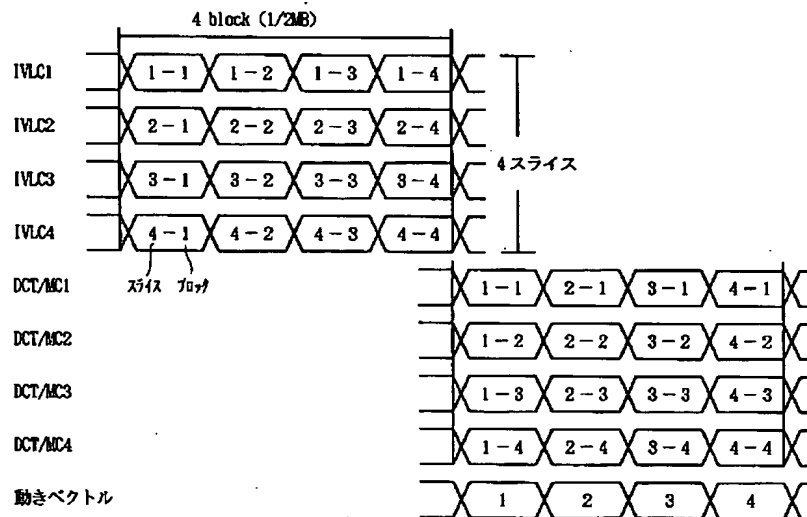
【図2】



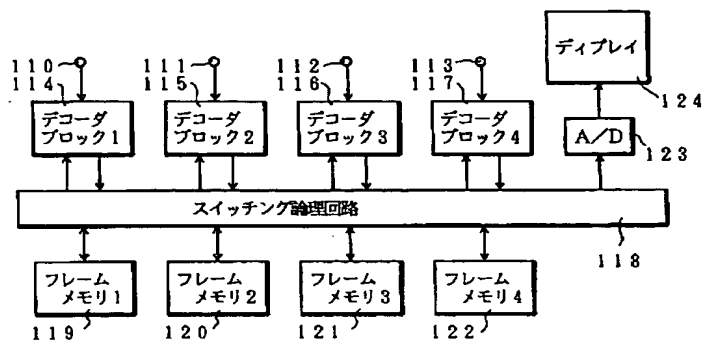
【図16】



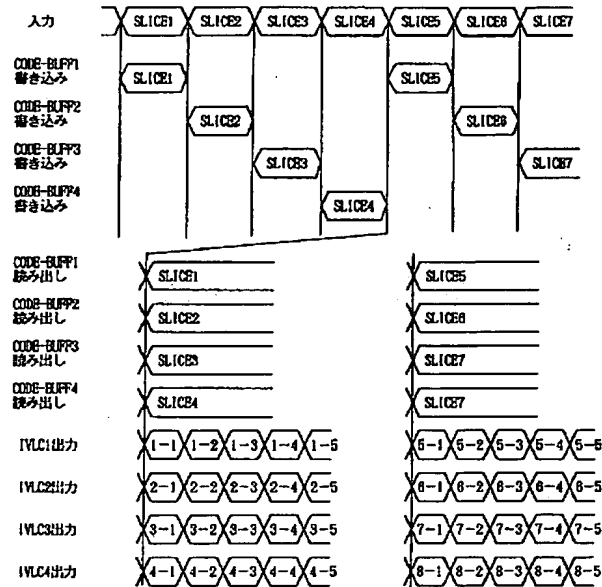
【図3】



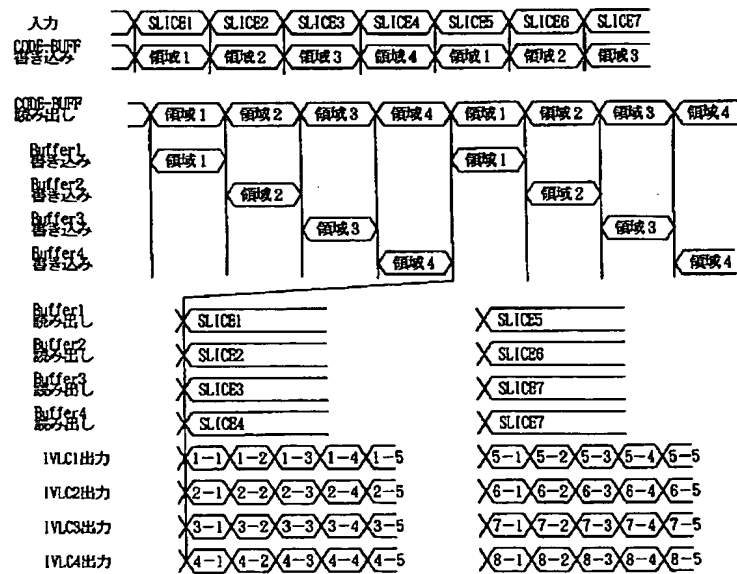
【図15】



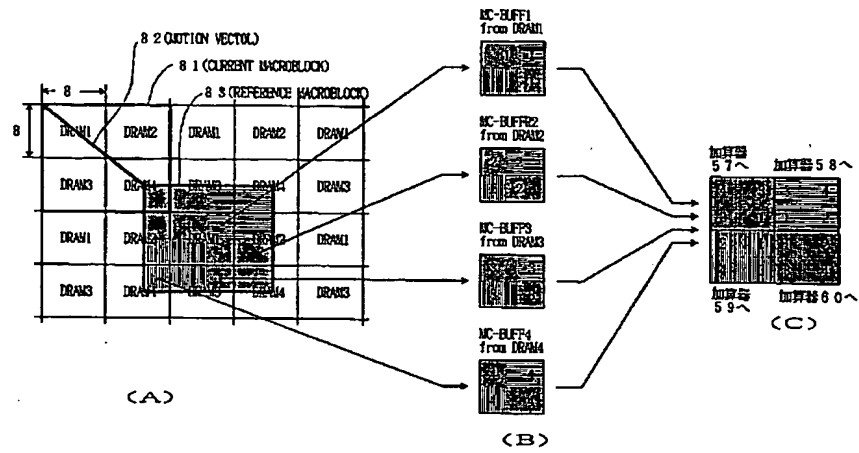
【図5】



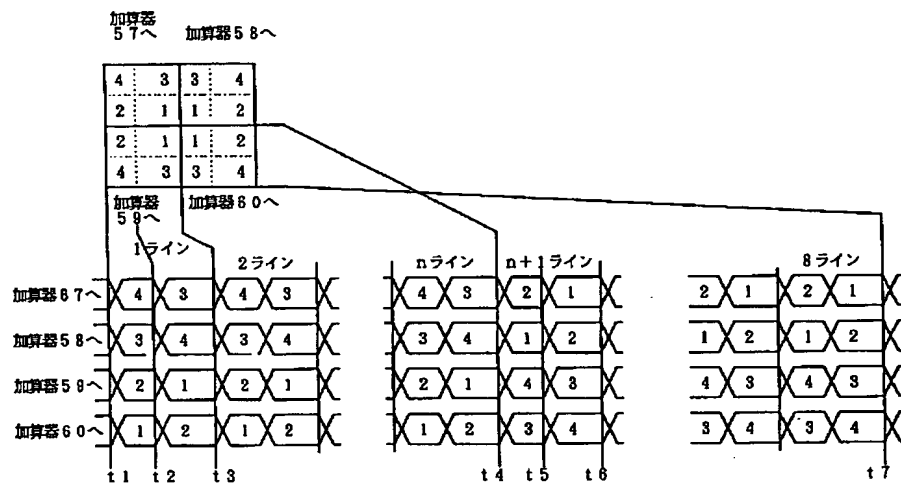
【図7】



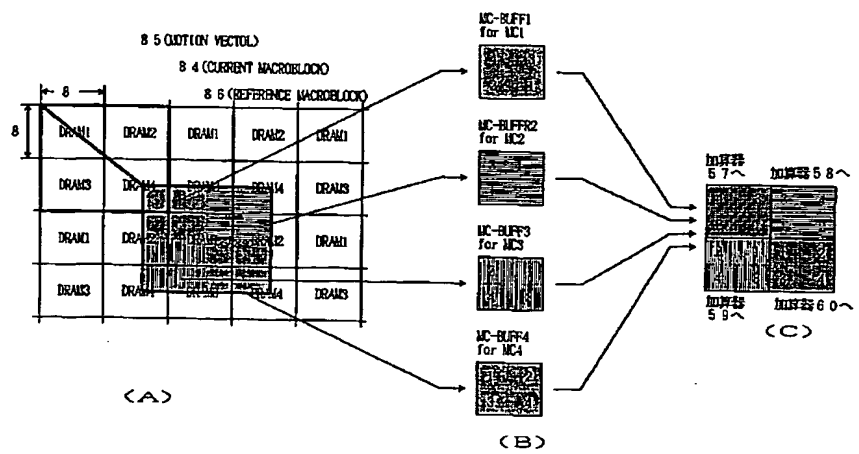
【図8】



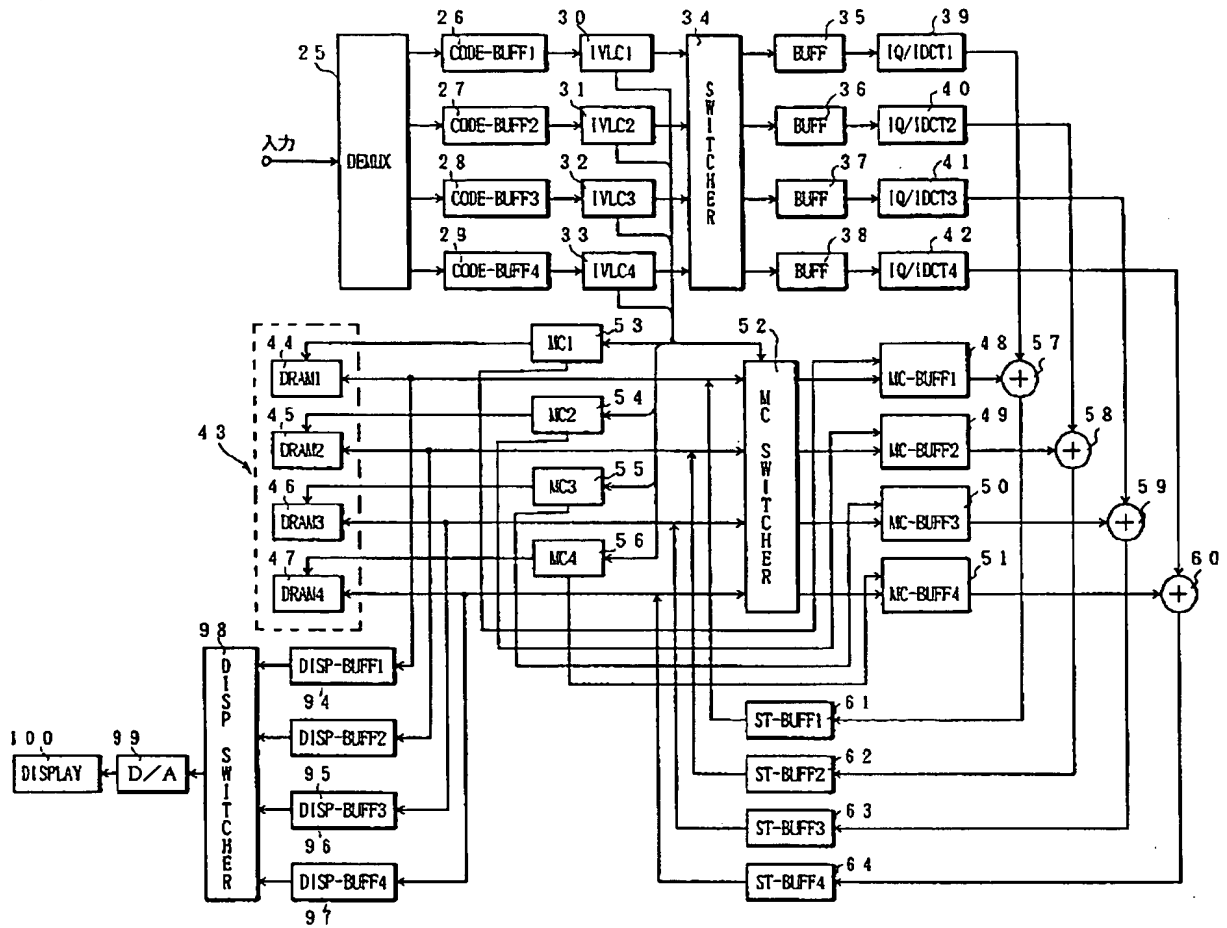
【図9】



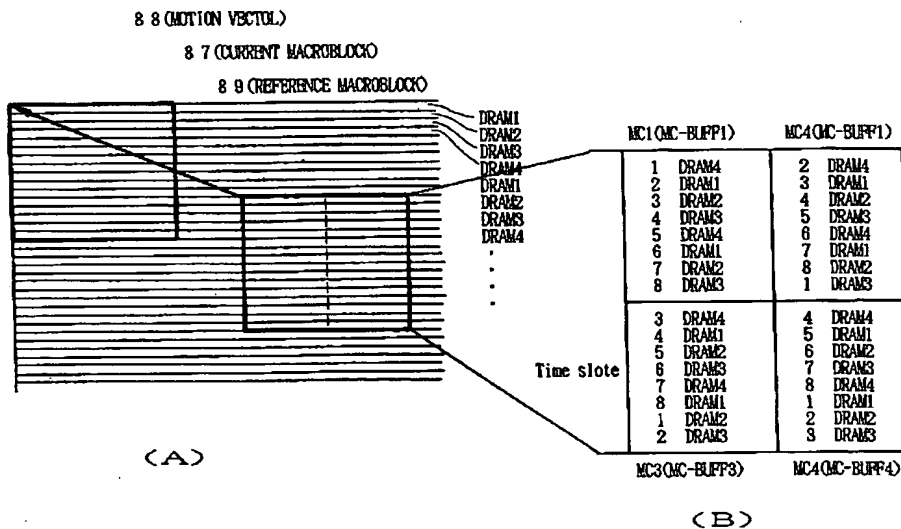
【図11】



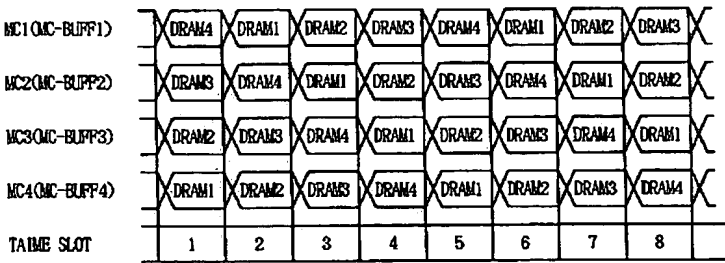
【図10】



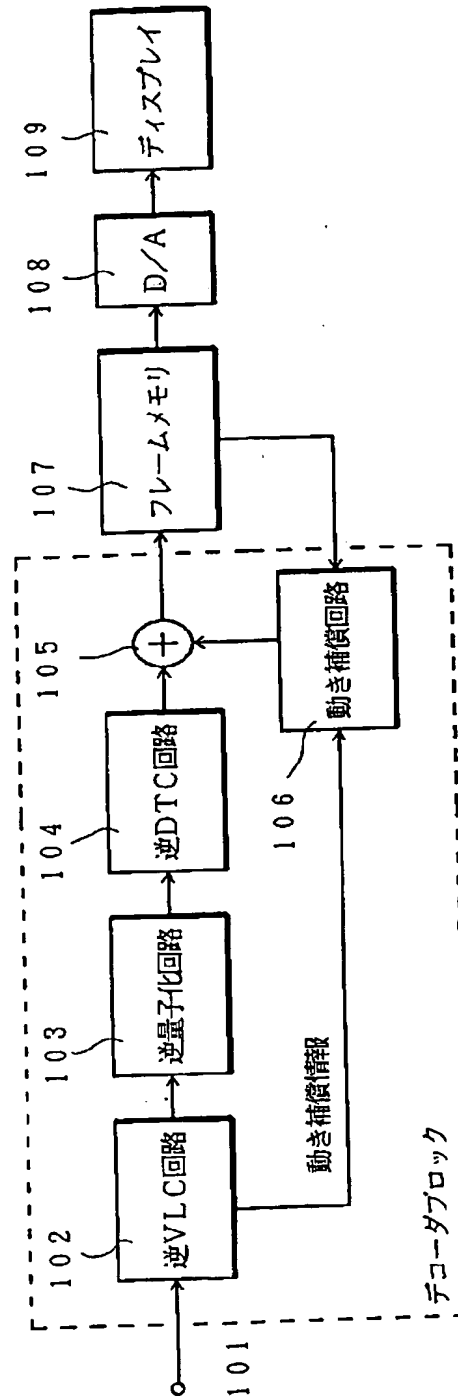
【図12】



【図 13】



【図14】



フロントページの続き

(51) Int. Cl. 6

H04N 7/15

11/04

識別記号

庁内整理番号

F I

技術表示箇所

7251-5C

B 7337-5C

8420-5L

G 0 6 F 15/66

3 3 0 D

(72)発明者 和田 徹

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内